

Entwurf einer ASIC-Trägerplatine für ein CMOS-Memristor-Hybridsystem

Praktikumsbericht von Leon Wünschel

INSTITUT FÜR TECHNISCHE INFORMATIK (ZITI), ELECTRONIC VISION(S) GROUP

RUPRECHT-KARLS-UNIVERSITÄT HEIDELBERG

unter der Betreuung von Simon Rosenkranz

Juli 2026

Abstract

Memristors are promising devices for non-volatile data storage. They are suitable, for example, as analog data storage devices and are relevant both because of their multi-bit storage capability and for in-memory computing. These components are particularly interesting for neuromorphic applications because their unique resistance properties allow them to emulate synaptic weights for neural networks. For a meaningful, experimental investigation of unconventional materials, which significantly determine the switching behaviour of memristors, it is desirable to integrate flexibly configurable layer structures with conventional *Complementary-Metal-Oxide-Semiconductor* (CMOS) processes. Against this backdrop, the *Application-Specific-Integrated-Circuit* (ASIC) prototype *MINIMNEME* serves to experimentally characterize the *Back-End-of-Line* (BEOL) integration of memristors. As part of this work, an ASIC carrier board was designed to enable the use of the chip, programming via a control unit, and the connection of external measuring devices. For connection to existing hardware, the carrier board was designed to be compatible with an M.2 slot.

Zusammenfassung

Memristoren sind vielversprechende Bauelemente zur nichtflüchtigen Datenspeicherung. Sie eignen sich beispielsweise als analoger Datenspeicher und sind sowohl durch ihre Multi-Bit-Speicherfähigkeit als auch für In-Memory-Computing relevant. Für neuromorphe Anwendungen besteht an diesen Bauelementen besonderes Interesse, da ihre speziellen Widerstandseigenschaften synaptische Gewichte für neuronale Netzwerke emulieren können. Für eine aussagekräftige, experimentelle Untersuchung unkonventioneller Materialien, die das Schaltverhalten von Memristoren maßgeblich bestimmen, ist die Verbindung flexibel wählbarer Lagenaufbauten mit konventionellen *Complementary-Metal-Oxide-Semiconductor* (CMOS)-Prozessen wünschenswert. Vor diesem Hintergrund dient der Prototyp *Application-Specific-Integrated-Circuit* (ASIC) *MINIMNEME* der experimentellen Charakterisierung der *Back-End-of-Line* (BEOL)-Integration von Memristoren. Im Rahmen der vorliegenden Arbeit wurde eine ASIC-Trägerplatine entworfen, um die Nutzung des Chips, eine Programmierung durch eine Kontrolleinheit, sowie die Verbindung von externen Messgeräten zu ermöglichen. Zum Anschluss an bereits bestehende Hardware wurde die Trägerplatine kompatibel mit einem M.2-Steckplatz entworfen.

Inhaltsverzeichnis

Abkürzungsverzeichnis	II
Abbildungsverzeichnis	III
1 Einleitung	1
2 Hintergrund	4
2.1 Printed Circuit Boards	4
2.2 KiCad	5
3 Trägerplatine	6
3.1 Designeinschränkungen	6
3.2 Schaltplan	7
3.2.1 EEPROM	9
3.2.2 Entkopplungskondensatoren	9
3.2.3 Terminierungswiderstände	10
3.3 Bondpad-Layout	10
3.4 Layout	11
4 Zusammenfassung und Diskussion	15
5 Ausblick	16
Literatur	17

Abkürzungsverzeichnis

ASIC	<i>Application-Specific-Integrated-Circuit</i>
BE	<i>Bottom-Electrode</i>
BEOL	<i>Back-End-of-Line</i>
CC	<i>Compliance-Current</i>
CMOS	<i>Complementary-Metal-Oxide-Semiconductor</i>
DC	<i>Direct-Current</i>
EDA	<i>Electronics-Design-Automation</i>
EEPROM	<i>Electrically-Erasable-Programmable-Read-Only Memory</i>
HRS	<i>High-Resistance-State</i>
IC	<i>Integrated-Circuit</i>
IO	<i>Input and Output</i>
LRS	<i>Low-Resistance-State</i>
MIM	<i>Metall-Isolator-Metall</i>
PCB	<i>Printed-Circuit-Board</i>
SAR-ADC	<i>Successive-Approximation-Register-Analog-to-Digital-Converter</i>
SPI	<i>Serial-Peripheral-Interface</i>
SRF	<i>Self-Resonant-Frequency</i>
TE	<i>Top-Electrode</i>
1T1R	<i>One-Transistor-One-Resistor</i>

Abbildungsverzeichnis

1.1	Hysteresekurve eines bipolaren Memristors.	2
1.2	Schematische Abbildung eines Crossbar-Arrays.	2
2.1	Beispielhafter Aufbau eines 1,6 mm dicken vierlagigen PCBs.	5
3.1	Foto des Breakout-Boards und des Vorgänger-Chip-Trägers.	6
3.2	Ausschnitte aus dem Schaltplan des ASIC-Trägers.	8
3.3	Darstellung der IO-Pads des Chips.	11
3.4	Darstellung der Bondpads.	12
3.5	Darstellung der zweit-untersten Kupferebene des PCBs.	12
3.6	Verlauf der Leiterbahnen für analoge und digitale Signale.	13
3.7	Position der Testpunkte zur Messung der Versorgungsspannungen.	14
3.8	3D-Ansicht der ASIC-Trägerplatine.	14

1 Einleitung

Die Rechenleistung von, auf *Complementary-Metal-Oxide-Semiconductor* (CMOS)-Transistoren basierenden, Computern hat in den vergangenen Jahren deutlich zugenommen. Grund dafür ist die Verkleinerung von Transistoren. Dadurch kann auf gleicher Fläche eine höhere Anzahl dieser eingesetzt werden. Trotz dieses Fortschritts werden Datenspeicherung und -verarbeitung an verschiedenen Orten in einem Computer durchgeführt. Dies bringt einen hohen Energiebedarf und eine langsamere Verarbeitungsgeschwindigkeit mit sich. Durch die räumliche Trennung von Speicher und Recheneinheit wird die Leistungsfähigkeit zusätzlich begrenzt. Um die Effizienz von Computern weiter zu steigern, wird die Speicherung und Verarbeitung von Daten an einem Ort angestrebt [XY19]. Die parallele Verarbeitung von Daten sowie ein energieeffizienter Vorgang werden von immer größerer Bedeutung. Das neuromorphe Rechnen setzt diese Aspekte durch Nachahmung der Vorgänge im menschlichen Gehirn um. So kann eine hohe Energieeffizienz und die parallele Verarbeitung von großen Datenmengen sichergestellt werden.

Memristoren sind vielversprechende energieeffiziente Bauelemente für neuromorphe Anwendungen. Durch ihre Zwei-Anschluss-Struktur ähneln sie biologischen Synapsen sehr und können mit ihren Widerstandseigenschaften synaptische Gewichte des menschlichen Gehirns emulieren. Memristoren sind kompakte binäre Speicher, die die Möglichkeit für Multi-Bit-Speicherung in einem einzelnen kompakten Bauteil bieten. Ebenso können sie durch ihre Skalierbarkeit für In-Memory-Computing verwendet werden [Ser16], [LKL25]. Die Besonderheit von Memristoren liegt in ihren resistiven Eigenschaften. Anders als bei ohmschen Widerständen, lässt sich der Widerstand von Memristoren bei Anlegen einer Spannung verändern. Diese haben die Eigenschaft, auch ohne anliegende Spannung, den bestehenden Zustand weiter zu erhalten, und sind somit nichtflüchtige Speicher. Memristoren bezeichnen eine Gruppe von Bauelementen mit unterschiedlichem Aufbau, welche bei elektrischer Anregung ein ähnliches resistives Schaltverhalten zeigen. Ein beispielhafter Aufbau eines Memristors ist die *Metall-Isolator-Metall* (MIM)-Struktur, bestehend aus zwei Metall-Elektroden mit einer dazwischenliegenden Isolatorschicht. Abbildung 1.1 zeigt eine Strom-Spannungs-Kurve eines bipolaren¹ Memristors. Durch die elektrische Anregung können Memristoren zwischen einem *High-Resistance-State* (HRS) und *Low-Resistance-State* (LRS) wechseln. Der Übergang von HRS zu LRS wird als SET-Prozess und von LRS zu HRS als RESET-Prozess bezeichnet. Vor Anlegen einer Spannung befindet sich der Memristor im HRS. Die Spannung wird in negativer Richtung erhöht, bis eine Schwellspannung erreicht wird und der Betrag des Stroms sprunghaft ansteigt. Grund hierfür ist die Bildung eines leitenden Filaments zwischen den Elektroden. Der Stromanstieg wird durch einen externen *Compliance-Current* (CC) begrenzt, um das Schaltverhalten nicht permanent zu zerstören. Der Memristor verbleibt so lange im LRS bis die Spannung einen positiven Grenzwert überschreitet und das Filament wieder zusammenbricht. [Pap18]

¹Neben bipolaren Memristoren gibt es auch unipolare Memristoren. Die Memristortypen unterscheiden sich in der Spannungspolarität bei den SET- und RESET-Prozessen.

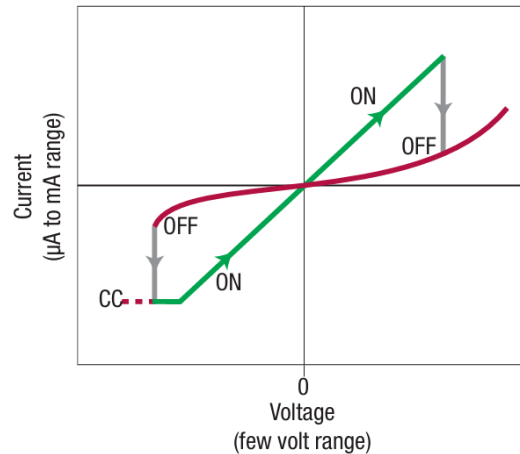


Abbildung 1.1: Hysteresekurve eines bipolaren Memristors. Die grüne Kurve, in der Abbildung mit „ON“ gekennzeichnet, zeigt den LRS, während die rote Kurve, hier mit „OFF“ bezeichnet, den HRS zeigt. Die grauen Linien markieren die Punkte des Übergangs zwischen den beiden Zuständen. Die linke Linie zeigt den SET-Prozess, die rechte Linie den RESET-Prozess. Der CC begrenzt den Stromanstieg beim SET-Prozess. Grafik entnommen aus [WA07].

Die Implementierung von Memristoren in konventionelle CMOS-Prozesse ist eine Herausforderung. Der *Application-Specific-Integrated-Circuit* (ASIC) *MINIMNEME*² wurde entwickelt, um die Verbindung von CMOS und Memristoren zu untersuchen. Der ASIC implementiert drei Analog-Makros. Eines dieser Makros ist ein *One-Transistor-One-Resistor* (1T1R)-Crossbar-Array. Dieses setzt sich aus mehreren 1T1R-Zellen zusammen. Bei einer 1T1R-Zelle ist ein Transistor über seinen Drain-Anschluss mit der *Bottom-Electrode* (BE) eines Memristors verbunden. Im Falle von *MINIMNEME* werden die Memristoren in einem gesonderten Prozess, der *Back-End-of-Line* (BEOL), in die Crossbar des ASICs integriert [Kri26]. Abbildung 1.2 zeigt den schematischen Aufbau eines Crossbar-Arrays.

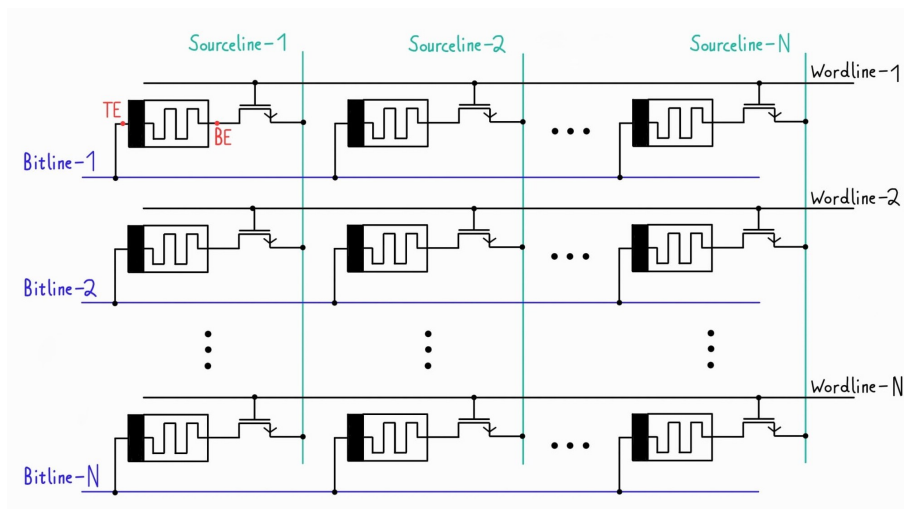


Abbildung 1.2: Schematische Abbildung eines Crossbar-Arrays mit N Zeilen und Spalten. Die rechteckigen Elemente zeigen die Schaltsymbole für Memristoren. Die Gates der Transistoren sind mit den Wordlines und die Source-Anschlüsse mit den Sourcelines verbunden. Die *Top-Electrode* (TE) der Memristoren einer Zeile sind mit der entsprechenden Bitline verbunden.

²Um eine bessere Lesbarkeit zu gewährleisten, wird der *MINIMNEME*-Testchip im restlichen Dokument als ASIC oder Chip bezeichnet.

In einer Crossbar verlaufen horizontal parallel zueinander mehrere Word- und Bitlines. Vertikal dazu verlaufen mehrere Sourcelines. An jedem Kreuzungspunkt einer Bit- und einer Sourceline befindet sich eine 1T1R-Zelle. Die Memristoren in den 1T1R-Zellen besitzen jeweils zwei Anschlüsse. Die in einer Zeile stehenden Zellen sind über die oberen Metallkontakte der Memristoren, der *Top-Electrode* (TE), mit derselben Bitline verbunden. Der zweite Anschluss, der untere Metallkontakt der Memristoren, die *Bottom-Electrode* (BE), knüpft an den Drain-Anschluss des Transistors in derselben Zelle an. Die in einer Zeile liegenden Transistoren sind über ihre jeweiligen Gate-Anschlüsse mit einer gemeinsamen Wordline verbunden. Die in einer Spalte liegenden Transistoren knüpfen sich durch ihre Source-Anschlüsse an dieselbe Sourceline an. Um durch ausschließlich eine bestimmte Zelle Strom fließen zu lassen, muss eine Spannung an die entsprechend verbundene Bit- und Sourceline angelegt werden. Durch die Größe der an dem Memristor angelegten Spannung, kann dessen Zustand ausgelesen oder programmiert werden. [Mem21],[ZZLZ22]

Im zweiten Makro des ASICs ist eine Teststruktur vorgesehen. In dieser soll der Kontaktwiderstand zwischen den Aluminium-Pads, wie sie in der Crossbar realisiert sind, und den im BEOL-Prozess implementierten Elektroden vermessen werden. Im dritten Makro des ASICs befindet sich ein Full-Custom 32-Channel *Successive-Approximation-Register-Analog-to-Digital-Converter* (SAR-ADC), welcher optional mit der Crossbar verbunden werden kann³. Damit der Chip durch eine externe Kontrolleinheit, wie beispielsweise einen Mikrocontroller, angesteuert und Messinstrumente angeschlossen werden können, müssen die mikroskopisch kleinen Anschlüsse des ASICs auf eine größere Größenordnung angepasst werden.

Ziel der vorliegenden Arbeit ist es, einen Chip-Träger zu entwerfen, welcher eine Verbindung zwischen ASIC und einer Kontrolleinheit, sowie Anschlüsse für externe Messgeräte auf einem sogenannten Breakout-Board ermöglicht.

³Informationen aus persönlichen Gesprächen mit Simon Rosenkranz.

2 Hintergrund

Um die einzelnen Schritte im Designprozess des Chip-Trägers besser nachvollziehen zu können, ist ein Grundverständnis, wie ein *Printed-Circuit-Board* (PCB) aufgebaut ist, notwendig. Im folgenden Abschnitt wird die Erklärung des Aufbaus durch einen beispielhaften Lagenaufbau unterstützt. Zuletzt wird kurz in das verwendete Programm, in dem die ASIC-Trägerplatine entworfen wurde, eingeführt und die Wahl dessen näher erläutert.

2.1 Printed Circuit Boards

Nahezu alle modernen Schaltungen werden auf PCBs hergestellt. Diese Boards dienen einerseits als Montagefläche für diverse aktive und passive elektronische Bauteile und stellen zudem elektrische Verbindungen zwischen diesen her. Im Wesentlichen ersetzen PCBs die Verkabelung von Bauteilen durch eine kompakte Umgebung aus leitenden Kupferbahnen auf einer starren Fläche. PCBs werden insbesondere für die Implementation von komplexeren *Integrated-Circuits* (ICs) eingesetzt. Der Entwurf des Boards hat starke Auswirkungen auf die elektrischen Eigenschaften der Schaltung, weshalb bereits vorher wichtige Designentscheidungen getroffen werden müssen. Sie werden genau nach Vorgabe des Designers produziert und können somit speziell für individuelle Schaltungen entworfen werden. [LaD06], [Wil04]

Grundsätzlich besteht ein PCB aus mehreren Schichten leitenden Materials, meist Kupfer, getrennt durch einen Isolator. Die Dicke der Schichten und die Anzahl der leitenden Lagen werden je nach Einsatzbereich individuell gewählt. Um auf die Empfindlichkeit mancher Signalleitungen auf Störungen besser reagieren zu können und für viele verschiedene Signale mehr Fläche zur Verfügung zu haben, eignet es sich, die Zahl der Kupferlagen eines PCBs zu erhöhen. Abbildung 2.1 zeigt den beispielhaften Aufbau eines 1,6 mm dicken, vierlagigen PCBs. Im Inneren befindet sich, als Kern bezeichnet, eine dickere Schicht Dielektrikum, meist Epoxyglas, die die oberen und unteren leitenden Kupferflächen voneinander trennt. Diese werden jeweils von einer Isolatorschicht und anschließend wieder von einer Kupferschicht bedeckt. Bei mehrlagigen PCBs wird der beschriebene Aufbau weiter fortgesetzt. Der Aufbau der PCB-Schichten schließt mit einer oberen und einer unteren Schicht Lötstopplack ab. Diese sollen verhindern, dass das Lötzinn, bei späteren Lötprozessen, Kurzschlüsse zwischen zu trennenden Kupferleitungen auf den äußersten Kupferlagen verursacht. Ebenso schützt der Lötstopplack das Kupfer vor Oxidation und anderen Umwelteinflüssen. Die individuell gewählte Dicke des PCBs beeinflusst die Dicke der einzelnen inneren Lagen – je dicker das PCB, desto dicker die inneren Lagen.

Für sehr komplexe Systeme mit vielen Signalen, eignen sich Layouts mit sechs oder mehr Kupferlagen. Für einfachere Schaltungen sind Layouts mit geringerer Lagenanzahl ausreichend. Gegenüber den Vorteilen, die ein mehrlagiges Layout mit sich bringt, spielt auch die Kostenfrage bei der Wahl des passenden Aufbaus eine entscheidende Rolle. Der Preis eines PCBs steigt in der Regel mit zunehmender Lagenanzahl an, sodass der positive Nutzen weiterer Lagen mit dem damit verbundenen steigenden Preis abgewogen werden muss. [Wil04]

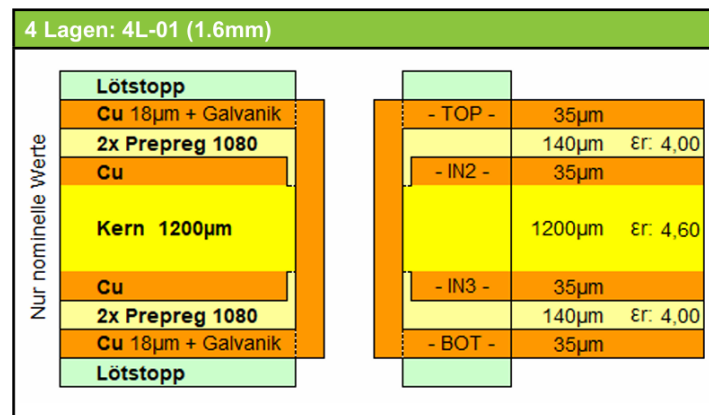


Abbildung 2.1: Beispielhafter Aufbau eines 1,6 mm dicken vierlagigen PCBs. Die orangefarbenen Flächen zeigen Kupferebenen, die dazwischenliegenden gelben Flächen zeigen Isolatorschichten. Abbildung wurde entnommen aus [McbDR].

2.2 KiCad

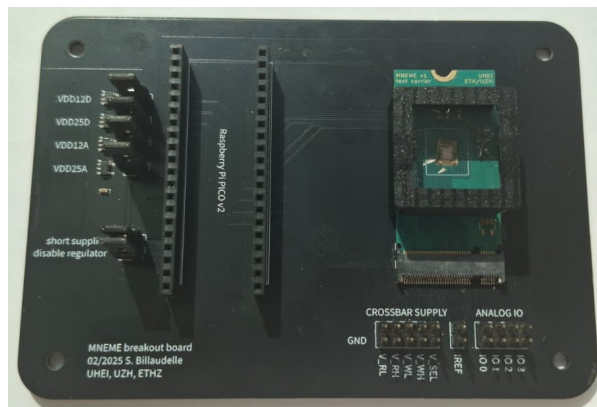
Bei dem gewählten Designtool handelt es sich um die Software *KiCad Electronics-Design-Automation* (EDA). KiCad ist ein Open-Source EDA-Programm zur Erstellung von Schaltplänen, Layouts und Simulationen von PCBs [KiCad]. Grund für die Wahl des Programms ist einerseits, dass bereits arbeitsgruppeninterne Bibliotheken für verschiedene Komponenten in KiCad erstellt wurden. Andererseits erfordert die Quelloffenheit von KiCad keine kostspieligen Lizenzen anderer PCB-Layout-Programme. Das nächste Kapitel ermöglicht anhand von Abbildungen aus den verschiedenen Programmumgebungen, wie dem PCB- und Schematic-Editor, visuelle Einblicke in den Designprozess.

3 Trägerplatine

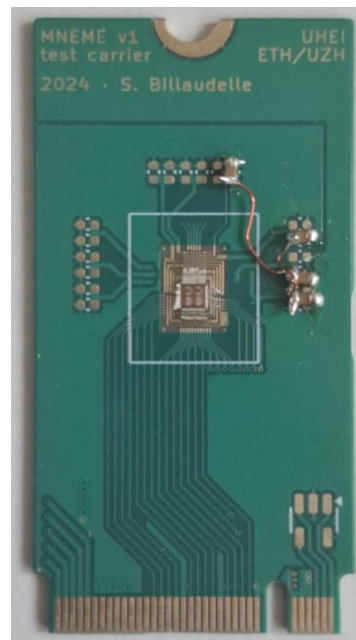
Dieses Kapitel führt schrittweise durch den Designprozess der ASIC-Trägerplatine. Zunächst werden vorangehende Überlegungen zum Aufbau und zur Herstellung des PCBs getroffen und Designeinschränkungen erklärt. Danach wird der Schaltplan für den Träger erläutert. Zuletzt werden das Bondpad und das finale Layout der Trägerplatine beschrieben.

3.1 Designeinschränkungen

Als Vorlage des ASIC-Träger-Designs wurde der Aufbau des Vorgänger-Chip-Trägers verwendet. Damit der neue ASIC-Träger direkt nach der Herstellung in Betrieb genommen werden kann, ist es wichtig, dass dieser mit dem bereits existierenden Breakout-Board kompatibel ist. Beim Entwurf des neuen Trägers muss berücksichtigt werden, dass dieser hinsichtlich des Formfaktors und der vorgegebenen Belegung der Pins an der Boardkante mit dem M.2-Steckplatz auf dem Breakout-Board kompatibel ist⁴. Ein Foto des bestehenden Breakout-Boards sowie des Vorgänger-Chip-Trägers sind in Abbildung 3.1 zu sehen.



(a) Foto des Breakout-Boards für *MNEME*. Der ASIC-Träger ist durch den M.2-Steckplatz auf der rechten Boardhälfte mit dem Breakout-Board verbunden.



(b) Foto des M.2-kompatiblen Vorgänger-Chip-Trägers.

Abbildung 3.1: Foto des Breakout-Boards und des Vorgänger-Chip-Trägers.

Vor Beginn des Entwurfs muss abgewogen werden, welche Hersteller zur Produktion der Platine infrage kommen. Zwei Firmen, welche im vorgegebenen Kostenrahmen in Erwägung gezogen wurden, sind JLCPCB [JLC] und Multi-CB [MCB]. Für das Design des Chip-Trägers werden besonders die Designvorschriften von Multi-CB berücksichtigt, denn durch die Einhaltung dieser Vorgaben können auch die Vorschriften von JLCPCB abgedeckt werden. Bei welcher der beiden Firmen das PCB angefertigt wird, hängt letztlich von den Produktionskosten ab. Die Dicke der inneren Lagen des PCBs werden vom Produzenten entsprechend der ihm vorgegebenen individuellen PCB-Dicke gewählt. Design-Vorschriften des Herstellers für Standardanfertigungen, welche unter anderem den Kupferabstand und den Durchmesser der Bohrungen beinhalten, können den Design-Regeln von Mutli-CB entnommen werden [McbDR].

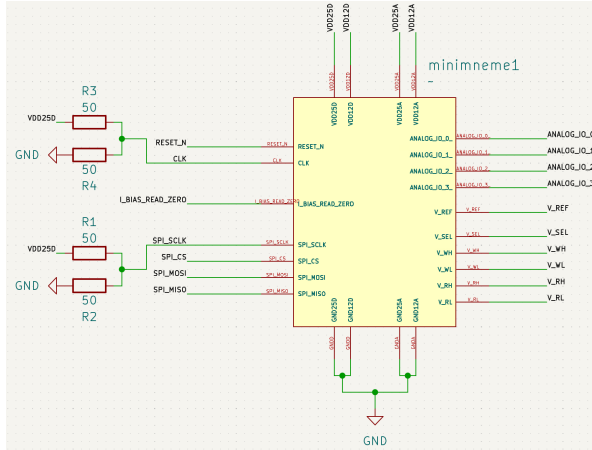
⁴Informationen aus persönlichen Gesprächen mit Simon Rosenkranz.

Beim Verlegen der Leiterbahnen sollte auf genügend Abstand zwischen zwei benachbarten Bahnen geachtet werden. Wenn zwei Leiterbahnen in zu geringem Abstand geroutet werden, kommt es zu einer kapazitiven und induktiven Kopplung, auch Crosstalk genannt. Um das Risiko eines Crosstalks zu minimieren, sollte zwischen zwei Bahnen ein Abstand von mindestens zweimal der Spurbreite eingehalten werden. [TEX06]

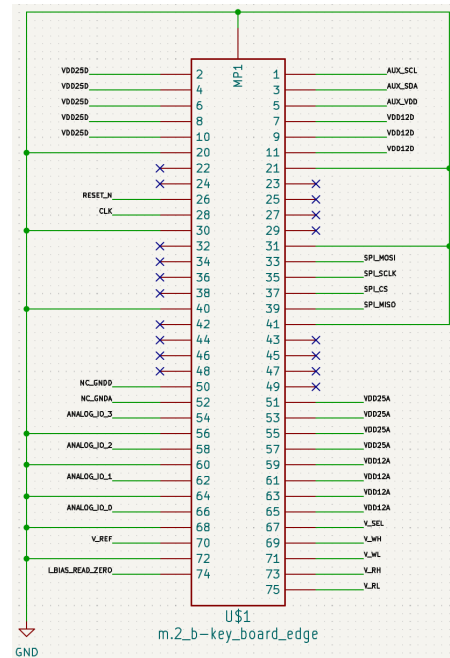
In einem System mit gemischten Signalen muss entschieden werden, ob es sinnvoll ist, für analoge und für digitale Signale getrennte Referenzpotentiale zu verwenden. Ein sogenannter Split-Ground kann Schwierigkeiten beim Design verursachen. Werden Signale über den Spalt zwischen Analog- und Digitalreferenz geroutet, können Rückströme in Schleifen fließen, was zu einer vergrößerten parasitären Induktivität im Stromkreis führt. Wenn hochfrequente Signale in großen Schleifen fließen, emittieren diese elektromagnetische Strahlung und begünstigen das Einkoppeln externer Störsignale. Die erhöhte Induktivität senkt die Resonanzfrequenz der Leitung, sodass das Risiko für Überspringen steigt. Es ist daher sinnvoll, ein gemeinsames Referenzpotential zu wählen und die analogen und digitalen Signale räumlich zu trennen. Dadurch können die hochfrequenten digitalen Rückströme weniger stark mit den analogen Signalen interagieren. [PIT13a],[PIT13b]

3.2 Schaltplan

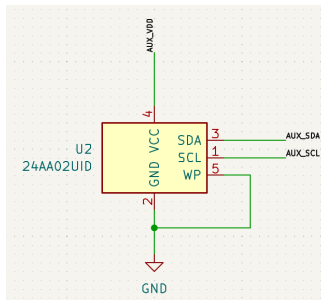
Bevor mit dem physischen Design des PCBs begonnen werden kann, muss zunächst der Schaltplan erstellt werden. Um eine Verbindung zum Breakout-Board zu ermöglichen, wird die neue Platine kompatibel mit dem M.2-Steckplatz auf dem Breakout-Board entworfen. Um eine Kompatibilität des neuen ASICs mit dem Board zu gewährleisten, werden für übereinstimmende Pins mit dem Vorgänger-Chip die Anschlüsse an der Boardkante gleich belegt. Für abweichende Signale werden die freien Anschlüsse der Boardkante verwendet. Dies betrifft insbesondere das Digitalinterface, das zum Schreiben und Lesen von Konfigurationsdaten verwendet wird. Wie in Abbildung 3.1b für den Vorgänger-Chip-Träger zu sehen ist, werden in den Leitungen der Versorgungsspannungen Entkopplungskondensatoren benötigt. Zur Versorgung und Ansteuerung von Bauteilen, wie dem *Electrically-Erasable-Programmable-Read-Only Memory* (EEPROM), müssen diese mit den entsprechenden Pins der Boardkante verbunden werden. Abbildung 3.2 zeigt Ausschnitte aus der Schaltung des neuen ASIC-Trägers sowie die Beschaltung der Komponenten.



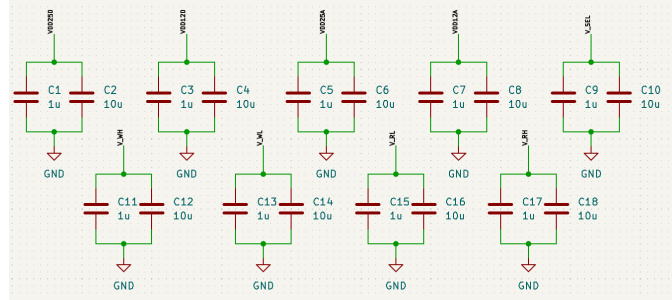
(a) Beschaltung des ASICs.



(b) Beschaltung der Boardkante.



(c) Beschaltung des EEPROM.



(d) Beschaltung der Entkopplungskondensatoren.

Abbildung 3.2: Ausschnitte aus dem Schaltplan des ASIC-Trägers. Die grünen Linien zeigen die Verbindungen zwischen den Anschlüssen der Bauteile. Leitungen eines gleichen Netzes tragen in schwarzer Schrift die gleiche Bezeichnung. Die kurzen roten Linien zeigen die Pins der Bauteile, mit entsprechender Bezeichnung.

Der ASIC hat Pins für Versorgungsspannungen sowie digitale und analoge *Input and Output* (IO)-Signale, die mit der Boardkante verbunden werden müssen, um eine externe Versorgung und Kommunikation mit Peripheriegeräten zu ermöglichen. Eine Übersicht aller Signale ist in Tabelle 1 dargestellt. Die Signale des ASICs können nach Kategorien getrennt betrachtet werden:

Die vier Versorgungsspannungen ermöglichen die Versorgung der unterschiedlichen Funktionsbereiche im ASIC. VDD12D liefert der internen Logik im Kern des Chips eine Spannung von 1,2 V. Die Zellen des IO-Rings werden mit einer Spannung von 2,5 V durch VDD25D versorgt. Für die analogen Blöcke im Chip liefert VDD12A eine Versorgungsspannung von 1,2 V und VDD25A eine Spannung in Höhe von 2,5 V.

Die Programmierspannungen des Crossbar-Arrays werden durch die fünf Crossbar-Versorgungen bereitgestellt. Zum Auslesen des Zustands eines Memristors wird eine geringe Spannung benötigt, welche durch die Potentiale V-RL und V-RH bereitgestellt wird. Zum Ändern des Zustands verwendet man eine höhere Spannung, die durch V-WL und V-WH erzeugt wird. Eine Auswahl der entsprechenden Zeile in der Crossbar ermöglicht V-SEL.

Damit über das Breakout-Board externe Messgeräte angeschlossen werden können, werden vier analoge Signalleitungen Analog-IO 0–3 verwendet. Das Signal V-REF dient dem SAR-ADC als Referenzspannung. Bei I-BIAS-READ-ZERO handelt es sich um einen externen Biasstrom, der

als Bypass für die interne Bandgap-Referenz dient und den Biasstrom der Readout-Schaltung in der Crossbar bereitstellt.

Damit die Kommunikation mit einer externen Kontrolleinheit möglich ist, wird zur Datenübertragung das *Serial-Peripheral-Interface* (SPI)-Protokoll benutzt. SPI nutzt vier Leitungen zur Kommunikation zwischen Geräten: Zur Taktangabe der Datenübertragung wird das Clock-Signal SPI-SCLK benötigt, zur Auswahl des Kommunikationspartners dient SPI-CS und zur Übertragung der Daten werden SPI-MOSI und SPI-MISO verwendet.

Das Signal CLK dient der systemweiten Taktangabe. Das Zurücksetzen auf einen vordefinierten Ausgangszustand ermöglicht der Reset-N. Dieses Signal ist ein schnell schaltender Puls, wobei die steilen Schaltflanken Frequenzanteile über 100 MHz enthalten. Bei den analogen Signalen handelt es sich weitgehend um *Direct-Current* (DC)-Signale, welche im späteren Designprozess getrennt von den digitalen Signalen behandelt werden müssen⁵.

Bezeichnung	Kategorie	Signaltyp	Frequenz
VDD12A VDD25A VDD12D VDD25D	Versorgungsspannung	Power	DC
V-SEL V-WL V-WH V-RL V-RH	Crossbar-Versorgung	Analog	DC
Analog-IO 0-3 V-REF I-BIAS-READ-ZERO	Analoge Signalleitung Referenzspannung Biasstrom	Analog	DC – 100 MHz DC DC Strom
SPI-SCLK SPI-CS SPI-MOSI SPI-MISO	SPI-Protokoll	Digital	max. 100 MHz
CLK Reset-N	System Clock Steuerung	Digital	max. 100 MHz Puls mit >100 MHz

Tabelle 1: In Kategorien unterteilte Übersicht der Anschlüsse und Signale des ASICs.

3.2.1 EEPROM

Auf dem Chip-Träger sind neben dem ASIC weitere Komponenten, wie das EEPROM vorgesehen. Dieses dient dem Chip als eine Art elektronisches Typenschild. In ihm werden Metadaten gespeichert, welche sich elektronisch schreiben lassen und ohne eine anliegende Stromversorgung gespeichert werden.

3.2.2 Entkopplungskondensatoren

Zwischen der Masse und allen Versorgungsspannungen des Chips werden je zwei zueinander parallel geschaltete Kondensatoren zur Entkopplung verbunden. Diese Kondensatoren dienen dem

⁵Informationen aus persönlichen Gesprächen mit Simon Rosenkranz.

Chip als Ladungsreserve. Sie speichern Energie und können diese im Fall eines abrupten Stromabfalls schnell an die Schaltung abgeben. Durch dieses Verhalten schützen sie den Stromkreis vor Spannungseinbrüchen. Des Weiteren unterdrücken die Kondensatoren hochfrequentes Rauschen, indem sie diese Signale mit der Masse kurzschließen. Damit die Entkopplungskondensatoren das Rauschen am ASIC unterdrücken können, müssen sie so nah wie möglich an den Pins des Chips platziert werden. Für jeden Kondensator ist ein 0402-Gehäuse vorgesehen. Durch die Parallelschaltung kann mit einer möglichst groß gewählten Kapazität eine kleine Grenzfrequenz im Tiefpassfilter erzielt werden.

3.2.3 Terminierungswiderstände

Als drittes Bauteil sind optionale Terminierungswiderstände für die digitalen Clock-Signale vorgesehen. Hier wird die Thevenin-Terminierung verwendet, bei der zwei Widerstände an die zu terminierende Leitung angebunden werden. Die Widerstände liegen sowohl zwischen Leitung und Versorgungsspannung als auch zwischen Leitung und Masse. Die Widerstände sollten hierbei so gewählt werden, dass der Spannungsteiler dem Leitungswiderstand entspricht [Grue03]. Aus Messungen am Vorgänger-ASIC wird erwartet, dass die Signalintegrität des neuen Chips auch ohne eine Terminierung ausreichend ist. Sollte bei Inbetriebnahme des ASICs eine Terminierung nötig sein, könnten die Widerstandswerte passend dimensioniert und auf dem Chip-Träger bestückt werden. Als eine bessere Alternative für die Terminierung auf der Trägerplatine, ist eine Serien-Terminierung auf einem zukünftigen Breakout-Board geplant.

3.3 Bondpad-Layout

In KiCad bezeichnet ein Footprint die Repräsentation der Anschlüsse eines physischen elektrischen Bauteils. Der Footprint verfügt über Pads, die Kupferbereiche zur elektrischen Verbindung anzeigen [KiCad]. Damit der Chip später auf die für ihn vorgesehene Stelle auf dem Chip-Träger angebracht werden kann, müssen auch bei der Erstellung des Footprints einige Vorgaben berücksichtigt werden. Für den ASIC ist der Footprint essenziell, da der Chip durch Drähte, beispielsweise aus Gold oder Aluminium, mit den entsprechenden Pads des Footprints gebondet wird. Das Bonding des ASICs wird im Kirchhoff-Institut für Physik durchgeführt. Die verwendeten Geräte besitzen nur eine begrenzte Präzision. Somit sind für die Erstellung des Footprints folgende Richtlinien wichtig:

- Die Pads sollen mindestens 200 μm breit sein und einen Abstand von 100 μm zueinander haben (insgesamt 300 μm Pitch),
- auf der Klebefläche sollen „L“-Markierungen angebracht werden, damit der Chip an die richtige Position gesetzt werden kann,
- das Fanout der Bondingdrähte darf nicht größer 45° sein,
- in den Ecken des Bondpads werden Markierungen für die spätere Bilderkennung der Geräte benötigt.

Unter Berücksichtigung der Vorgaben kann mit der Erstellung des Footprints begonnen werden. Um die Pads an die richtigen Positionen des ASICs zu setzen, wird zunächst die IO-Liste des Chips betrachtet. Im Footprint werden daraufhin passende Markierungen für die Anschlüsse an jeder Kante des Chips erstellt. Die Anordnung der Anschlüsse ist in Abbildung 3.3 gezeigt. Als Orientierungshilfe werden mit dem Zeichnen-Tool Linien eingezeichnet, die die Einhaltung des vorgegebenen Fanouts von maximal 45° unterstützen. Diese Linien dienen lediglich als Designhilfe und haben keinerlei Aussagekraft über das tatsächliche Bonding des Chips.

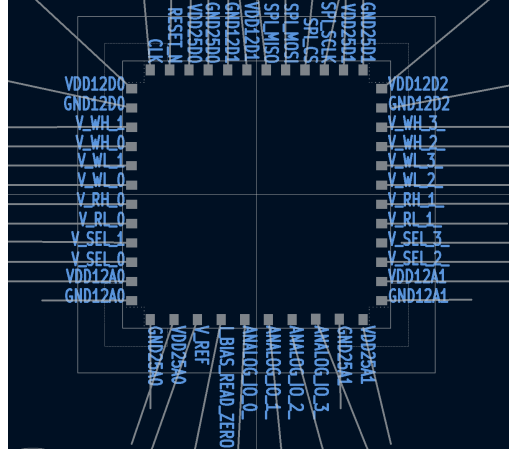


Abbildung 3.3: Darstellung der IO-Pads des Chips. Die kleinen grauen Quadrate repräsentieren die Anschlüsse am ASIC. Die genaue Lage der Anschlüsse kann durch die Quadrate nicht abgebildet werden – sie beschreiben lediglich die Reihenfolge der Anschlüsse auf jeder Seite des ASICs. Der blaue Text beschreibt, um welchen Anschluss es sich handelt.

Zu sehen ist, dass die Anschlüsse für die digitalen und analogen Signale voneinander getrennt um den Chip verteilt liegen. Auf dem Footprint werden die Pads für das Bonding dementsprechend in getrennten Bereichen platziert. Auf gegenüberliegenden Seiten des ASICs liegen teils identische Anschlüsse, um eine symmetrische Spannungsversorgung zu garantieren. Für die Versorgungsspannungen des Chips werden sogenannte Powerrails um das Zentrum dieses herumgelegt. Diese Powerrails ermöglichen eine spätere Verbindung zu einer Leiterbahn an beliebiger Stelle. Damit Vias auf den Kupferflächen platziert werden können, müssen für die Versorgungsspannungen breitere Bereiche erstellt werden. Abbildung 3.4 zeigt das finale Layout der Bondpads. Auf der linken und rechten Seite, neben der Position des Chips, befinden sich auf gleicher Höhe jeweils sechs rechteckige Pads für die analogen und digitalen Signale. Im Zentrum sind die vier „L“-Markierungen zu sehen, welche die Klebefläche des Chips anzeigen. Um zu prüfen, ob die Länge der Kupferleitungen der Versorgungsspannungen den Spannungspegel am ASIC negativ beeinflusst, wird der Spannungsabfall anhand der Write-Low-Versorgung V-WL berechnet. Bei einer Länge von $L = 4,2\text{ mm}$, einer Dicke von $H = 35\text{ }\mu\text{m}$ und einer Breite von $B = 200\text{ }\mu\text{m}$ wurde der Leitungswiderstand mit dem spezifischen Widerstand von Kupfer $\rho = 0,0169\text{ }\frac{\Omega\text{ mm}^2}{\text{m}}$ mithilfe der folgenden Formel berechnet:

$$R = \rho \cdot \frac{L}{B \cdot H} = 10,3\text{ m}\Omega \quad (1)$$

Die maximal zu erwartenden Ströme liegen in der Größenordnung von $I \approx 1\text{ mA}$. Mit diesen Werten kann der Spannungsabfall bestimmt werden:

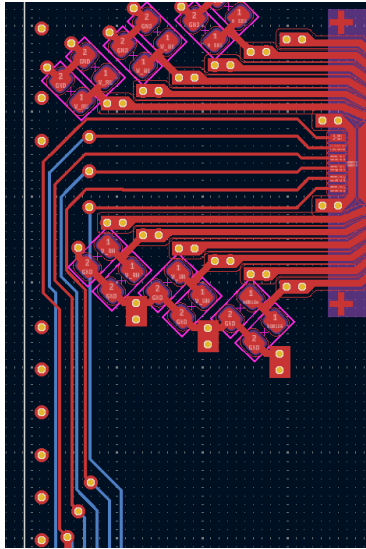
$$U = R \cdot I = 10,3\text{ }\mu\text{V} \quad (2)$$

Der Spannungsabfall über die Leitungen der Bondpads ist somit vernachlässigbar klein.

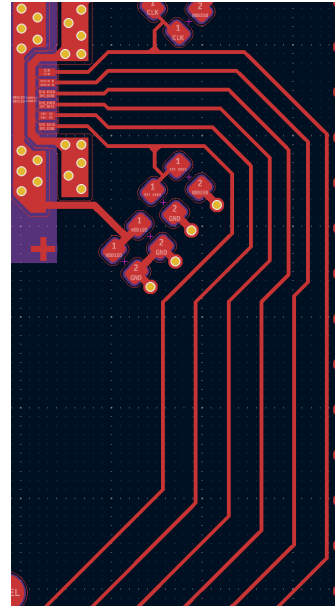
3.4 Layout

Für das Design der ASIC-Trägerplatine wird ein vierlagiger PCB-Aufbau gewählt. Die Boarddicke soll nach der Produktion $0,8\text{ mm}$ betragen. Die Kupferlagen des PCBs werden auf eine Dicke von $35\text{ }\mu\text{m}$ festgelegt. Die Dicke der anderen Schichten wird vom Hersteller passend zur PCB-Dicke gewählt. Auf den äußersten Kupferlagen werden die analogen und digitalen Signale in räumlich voneinander getrennten Bereichen geroutet.

Der Verlauf der Leiterbahnen der analogen und digitalen Signale ist in Abbildung 3.6 zu sehen. Für die Leiterbahnen der Crossbar- und der Versorgungsspannungen, werden auf der obersten Kupferebene breitere Bahnen gewählt. Da die Versorgungsleitungen höhere Ströme transportieren müssen, wird die Leiterbahnbreite auf $w = 200\text{ }\mu\text{m}$ festgelegt. Für die übrigen analogen und digitalen Signale, wird eine Leiterbahnbreite von $w = 100\text{ }\mu\text{m}$, entsprechend der Mindestanforderung, verwendet.



(a) Die dünnen roten und blauen Linien zeigen das Routing der analogen Signale. Die Leiterbahnen gehen von den rechteckigen Pads aus. Die analogen Signale werden entlang der linken Seite des Boards zu den Anschlüssen an der Boardkante geführt.



(b) Der Abstand der digitalen Signale wird, um Crosstalk zu minimieren, vergrößert. Diese Bahnen gehen von den rechteckigen Pads aus. Die digitalen Signale werden entlang der rechten Seite des Boards zu den Anschlüssen an der Boardkante geführt.

Abbildung 3.6: Verlauf der Leiterbahnen für analoge (links) und digitale Signale (rechts).

Zur Minimierung von Crosstalk der Leiterbahnen wird der Abstand zwischen ihnen unmittelbar nach den Bondpads vergrößert. Wie durch Vias ein Teil der Analog-Signale auf die unterste Kupferebene gelegt wird, zeigt Abbildung 3.6a. Dadurch wird gewährleistet, dass der Abstand zwischen den Bahnen der analogen Signale gewahrt werden kann.

Abbildung 3.6b zeigt den Verlauf der digitalen Signalbahnen auf der obersten Kupferebene. Die digitalen Leitungen transportieren schnell schaltende Signale mit einer Frequenz von bis zu 100 MHz, zu sehen in Tabelle 1. Besonders hochfrequente Signale verursachen Crosstalk. Um dies zu vermeiden, wird der Abstand zwischen den Leitungen der digitalen Signale größer gewählt. Ebenso sind auf dieser Ebene des ASIC-Trägers Testpunkte angebracht, die nach Anschließen des Chips das Messen der Versorgungsspannungen sowie der Referenzspannung V-REF nahe am ASIC ermöglichen. Mithilfe eines Multimeters kann die Spannung direkt auf der Platine gemessen werden. Abbildung 3.7 zeigt die Lage der Testpunkte im unteren Drittel der obersten Ebene. Auf dieser Kupferebene sind auch die Entkopplungskondensatoren vorgesehen. Damit eine optimale Wirkung erzielt wird, müssen diese so nah wie möglich an den Anschlüssen des ASICs platziert werden. An den Massepads der Kondensatoren werden Vias platziert, um Rückströme so kurz wie möglich zu halten.

Nachdem alle Komponenten auf dem Träger platziert und die Signale des ASICs mit der Boardkante verbunden sind, werden in gleichmäßigen Abständen Vias am Rand des PCBs platziert. Dieses sogenannte „Stitching“ trägt zu einer niederimpedanten Verbindung der inneren Masselagen bei. In Abbildung 3.8 ist eine 3D-Ansicht des Chip-Trägers abgebildet. Die Bezeichnungen der Stromnetze sind mit weißer Siebdruckschrift aufgeführt.

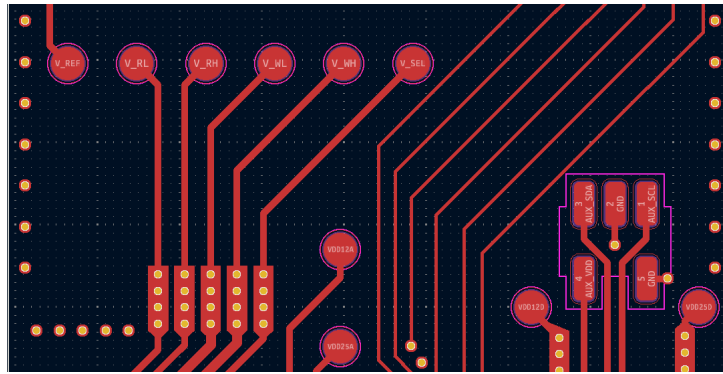
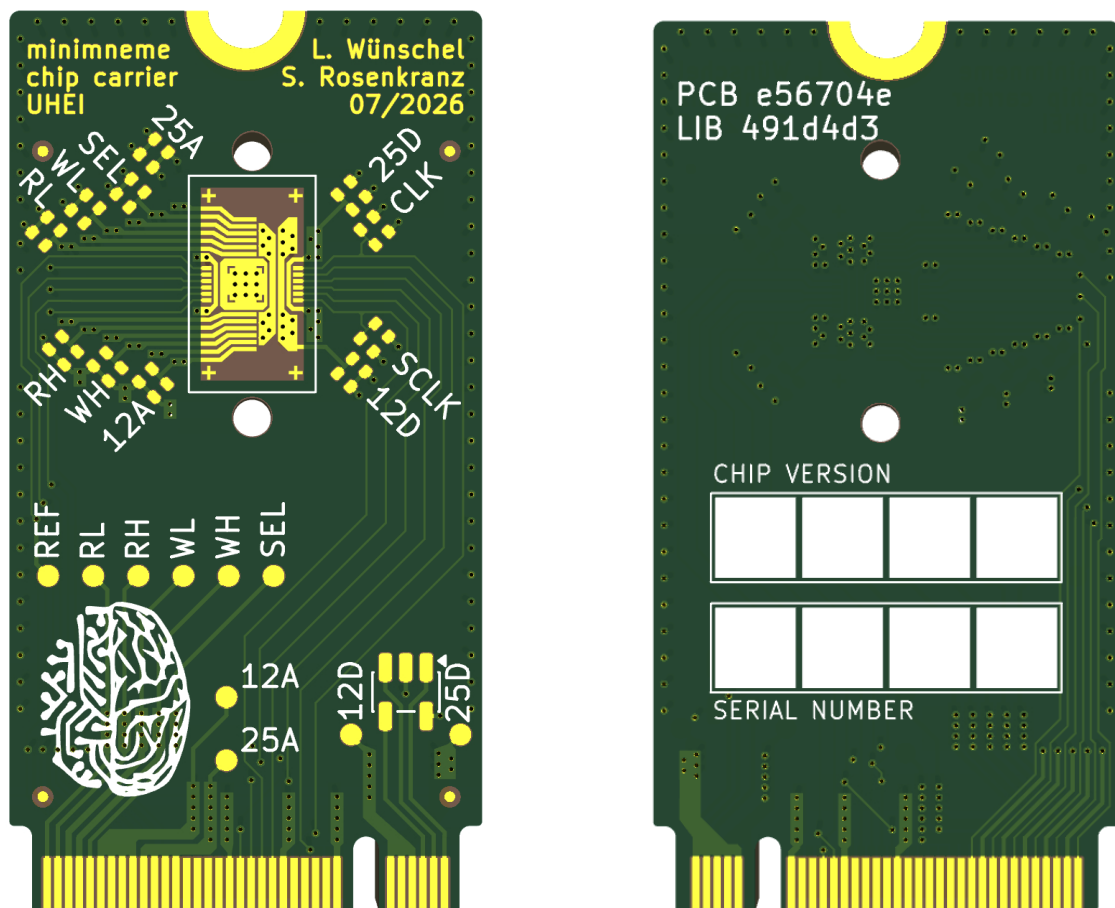


Abbildung 3.7: Position der Testpunkte zur Messung der Versorgungsspannungen. Die runden Pads befinden sich auf der obersten Kupferebene des ASIC-Trägers. Die Testpunkte sind durch Leiterbahnen mit den Anschlüssen an der Boardkante verbunden.

Die zwei großen Löcher, unmittelbar ober- und unterhalb der Bondpads, erlauben den Einbau einer Abdeckung für den Chip.



(a) Vorderseite des ASIC-Trägers. An der oberen Kante der ASIC-Trägerplatine sind Informationen des Designprozesses aufgeführt. In weißem Siebdruck sind, auf der Platine verteilt, die Netzbezeichnungen abgebildet. In der unteren linken Ecke ist das Logo der Arbeitsgruppe dargestellt. Die Freifläche zeigt die vorgesehene Stelle des Chips.

(b) Rückseite des ASIC-Trägers. In der oberen linken Ecke des Trägers sind die Commit-IDs der entworfenen ASIC-Trägerplatine sowie der in KiCad verwendeten Bibliotheken aufgedruckt. Im unteren Drittel sind Freitextfelder zur handschriftlichen Kennzeichnung des eingebauten Chips zu finden.

Abbildung 3.8: 3D-Ansicht der ASIC-Trägerplatine.

4 Zusammenfassung und Diskussion

Ziel des Praktikums war der Entwurf einer ASIC-Trägerplatine für ein CMOS-Memristor-Hybridsystem. Als Vorlage für den Entwurf diente der Chip-Träger des Vorgänger-ASICs. Es wurde besonders darauf geachtet, dass der neue ASIC-Träger mit dem bereits existierenden Breakout-Board kompatibel ist.

Zuerst wurden hierfür im Schaltplan-Editor alle Bauteile mit den entsprechenden Anschlüssen der M.2-Platine verbunden. Im nächsten Schritt wurde der Footprint für das Bonding des Chips erstellt. Es wurde besonders darauf geachtet, dass die Positionen der Pads ein möglichst sauberes Bonding ermöglichen. Die Versorgungsspannungen wurden mittels Powerrails in Richtung der Ränder verlängert, um an den breiteren Enden über Vias auf die zweit-unterste Kupferlage zu gelangen. Um zu prüfen, ob die langen Powerrails einen negativen Effekt auf den Versorgungsspannungspegel haben, wurden der Widerstand und der daraus resultierende Spannungsabfall einer Leitung berechnet. Der Leitungswiderstand betrug $R = 1,03 \text{ m}\Omega$ und der Spannungsabfall $U = 10,3 \text{ }\mu\text{V}$. Dadurch wurde bewiesen, dass der Spannungsabfall vernachlässigbar klein war und somit keinen negativen Einfluss auf den Versorgungsspannungspegel hatte. Anschließend wurden alle Komponenten auf dem PCB platziert und mit den Anschlüssen an der Boardkante verbunden. Besonders wichtig war der ausreichende Abstand zwischen den Leiterbahnen. Anfällig für Crosstalk sind vor allem die digitalen Leitungen, da sie mit Frequenzen bis 100 MHz schalten. Um die empfindlichen analogen Signale nicht durch Crosstalk der digitalen Leitungen zu beeinflussen, wurden die Signalgruppen in unterschiedlichen Bereichen des ASIC-Trägers geroutet. Für eine optimale Funktion der Entkopplungskondensatoren als Ladungsreserve und Filter für Signalrauschen, wurden diese so nah wie möglich an den Chip platziert. Um ein breites Frequenzspektrum abdecken zu können, sollten idealerweise Kondensatoren mit unterschiedlichen Kapazitäten verwendet werden. Ein realer Kondensator besitzt neben seiner Kapazität auch einen Widerstand und eine Induktivität. Aufgrund dieser Eigenschaften wirkt ein Kondensator wie ein Serienschwingkreis. Dieser hat eine *Self-Resonant-Frequency* (SRF). Die induktiven Eigenschaften eines Kondensators dominieren bei hohen Frequenzen. In diesem Bereich verhält sich der Kondensator wie eine Spule, welche sehr hohe Frequenzen blockiert [TEX06]. Trotz dieser Vorteile wurde sich aus Platzgründen für den Einsatz gleicher Gehäusegrößen mit unterschiedlicher Kapazität entschieden. Es bleibt zu überprüfen, ob die induktiven Eigenschaften der Kondensatoren keinen nennenswerten Einfluss nehmen.

5 Ausblick

Der nächste Schritt ist die Produktion der, im Rahmen der Arbeit entworfenen, ASIC-Trägerplatine bei einer Produktionsfirma. Nach der Herstellung wird der Chip auf den Träger gebondet und alle Komponenten auf die Platine gelötet. Der Träger kann anschließend mit dem Breakout-Board verbunden und der Chip dadurch in Betrieb genommen werden. Der Chip-Träger kann künftigen Varianten als Vorlage dienen, indem beispielsweise die folgenden Veränderungen durchgeführt werden:

- Die Komponenten, wie die Gehäusegröße der Kondensatoren oder die Terminierungswiderstände, können beliebig angepasst und hinzugefügt werden,
- ein Temperatursensor kann nahe des ASICs eingebaut werden,
- ebenso könnte eine Variante mit einer Aussparung in der Mitte des Bondpads erstellt werden.

Die letzte Variante bietet den Vorteil, dass der Chip nach dem BEOL-Schritt auf einem Hilfs-Substrat verbleiben könnte und nicht abgelöst und auf dem Träger positioniert werden müsste. Durch die Aussparung könnte das Substrat direkt auf die Rückseite des Trägers geklebt werden. Anschließend können die Anschlüsse des Chips, durch die Öffnung in der Platine, auf die Vorderseite gebondet werden. Vorausgesetzt wird, dass sich die Bonding-Maschine entsprechend weit in z-Richtung bewegen lässt.

Um die Kompatibilität mit der neu gestalteten ASIC-Trägerplatine zu gewährleisten, umfasst der nachfolgende Arbeitsschritt den Entwurf eines neuen Breakout-Boards. Auf diesem ist eine Serienterminierung, als bessere Alternative zur Thevenin-Terminierung, vorgesehen. Zudem sind programmierbare Crossbar-Spannungen geplant. Somit entsteht abschließend ein abgestimmtes Gesamtsystem für künftige Messreihen.

Literatur

- [Grue03] Grübl, Andreas. Eine FPGA-basierte Plattform für neuronale Netze, HD-KIP 03-02
- [JLC] Firma JLCPCB - <https://jlcpcb.com>
- [KiCad] KiCad Introduction, <https://docs.kicad.org/9.0/en/introduction/introduction.pdf> am 04.07.2026
- [Kri26] Krishna Rudrapal, Alwin Daus; The potential of semiconducting oxides in comparison to insulating oxides for memristor applications. APL Mater. 1 April 2026; 14 (4): 040901. <https://doi.org/10.1063/5.0314546>
- [LaD06] LaDou, J. (2006), Printed circuit board industry. International Journal of Hygiene and Environmental Health, Volume 209, Issue 3, Pages 211-219, ISSN 1438-4639, <https://doi.org/10.1016/j.ijheh.2006.02.001>
- [LKL25] J. W. Lee, J. Han, B. Kang, Y. J. Hong, S. Lee, I. Jeon, Strategic Development of Memristors for Neuromorphic Systems: Low-Power and Reconfigurable Operation. Adv. Mater. 2025, 37, 2413916. <https://doi.org/10.1002/adma.202413916>
- [MCB] Firma Multi-CB - <https://www.multi-circuit-boards.eu>
- [McbDR] Multi-CB Design Rules: https://www.multi-circuit-boards.eu/fileadmin/user_upload/downloads/leiterplatten_design-hilfe/Multi-CB-Leiterplatten_Basic-Design-Rules.pdf
- [Mem21] Li, H., Wang, S., Zhang, X., Wang, W., Yang, R., Sun, Z., Feng, W., Lin, P., Wang, Z., Sun, L. and Yao, Y. (2021), Memristive Crossbar Arrays for Storage and Computing Applications. Adv. Intell. Syst., 3: 2100017. <https://doi.org/10.1002/aisy.202100017>
- [Pap18] A. Pappachen James, Memristor and Memristive Neural Networks. [Erscheinungsort nicht ermittelbar]: IntechOpen, 2018. Accessed: Jul. 09, 2026. [Online]. Available: <https://directory.doabooks.org/handle/20.500.12854/130323>
- [PIT13a] PITHADIA, Sanjay; MORE, Shridhar. Grounding in mixed-signal systems demystified, Part.
- [PIT13b] PITHADIA, Sanjay; MORE, Shridhar. Grounding in mixed-signal systems demystified, Part 2. Analog Applications, 2013.
- [PS88] Pagnia, H. and Sotnik, N. (1988), Bistable switching in electroformed metal-insulator-metal devices†. phys. stat. sol. (a), 108: 11-65. <https://doi.org/10.1002/pssa.2211080102>
- [Ser16] Serb, A., Bill, J., Khat, A., Berdan, R., Legenstein, R. and Prodromakis, T. (2016). Un-supervised learning in probabilistic neural networks with multi-state metal-oxide memristive synapses. Nature Communications 7, 12611. <https://doi.org/10.1038/ncomms12611>
- [TEX06] WEILER, Alexander; PAKOSTA, Alexander. High-speed layout guidelines. Texas Instruments, 2006, S. 1999-2007.
- [WA07] Waser, R., Aono, M. Nanoionics-based resistive switching memories. Nature Mater 6, 833–840 (2007). <https://doi.org/10.1038/nmat2023>
- [Wil04] T. Williams, The circuit designer's companion, 2nd ed. Oxford: Elsevier/Newnes, 2004. Accessed: Jul. 09, 2026. [Online]. Available: <https://learning.oreilly.com/library/view/the-circuit-designers/9780750663700/>

- [XY19] Xia, Q., Yang, J.J. Memristive crossbar arrays for brain-inspired computing. *Nat. Mater.* 18, 309–323 (2019). <https://doi.org/10.1038/s41563-019-0291-x>
- [ZZLZ22] Xin Zhang, Ying Zeng, Yuan Lin, Ling Zhou, Transfer modeling of 1T1R crossbar arrays with line resistances based on matrix algebra method, *Solid-State Electronics*, Volume 189, 2022, 108220, ISSN 0038-1101, <https://doi.org/10.1016/j.sse.2021.108220>